

WHAT IS CLAIMED IS:

【請求項 1】 行列状に配列され、各々が、それぞれバックゲートを有する第1および第2導電型の絶縁ゲート型電界効果トランジスタで構成されるラッピング回路を含む複数のメモリセル、および

5 アドレス信号と動作モード指示信号に応答して、選択メモリセルの少なくとも第1導電型の絶縁ゲート型電界効果トランジスタのバックゲート電位を、データ書込時とデータ読出時とで変更する基板電位変更回路を備える、半導体記憶装置。

【請求項 2】 前記第1導電型の絶縁ゲート型電界効果トランジスタは、
10 Pチャネル絶縁ゲート型電界効果トランジスタであり、

前記基板電位変更回路は、前記データ書込時に前記選択メモリセルのPチャネル絶縁ゲート型電界効果トランジスタのバックゲート電位を、データ読出時よりも高い電圧レベルに設定する、請求項1記載の半導体記憶装置。

【請求項 3】 前記基板電位変更回路は、前記データ書込時に、前記Pチャネル絶縁ゲート型電界効果トランジスタのバックゲート電位を、外部インターフェイス用の電源電圧レベルに設定する、請求項2記載の半導体記憶装置。
15

【請求項 4】 各前記メモリセルは、電源電圧をハイレベルデータ記憶のための電源電圧として受け、

前記基板電位変更回路は、前記Pチャネル絶縁ゲート型電界効果トランジスタのバックゲート電位を前記データ書込時に前記電源電圧レベルに設定しつつ前記データ読出時前記電源電圧よりも低い電圧レベルに設定する、請求項2記載の半導体記憶装置。
20

【請求項 5】 前記基板電位変更回路は、
メモリセル列それぞれに対応して配置され、各々が対応の列のメモリセルの

第1導電型の絶縁ゲート型電界効果トランジスタのバックゲートに共通に結合される複数の基板電圧伝達線と、

各列に対応して配置され、各々が、前記動作モード指示信号と前記アドレス信号に基づいて生成される列選択信号とに応答して、対応の基板電圧伝達線の電圧を設定する基板電位設定回路を備える、請求項1記載の半導体記憶装置。

【請求項6】 前記第1導電型の絶縁ゲート型電界効果トランジスタはPチャネル絶縁ゲート型電界効果トランジスタであり、

前記基板電位変更回路は、前記動作モード指示信号がデータ書込を示すとき、選択列のPチャネル絶縁ゲート型電界効果トランジスタのバックゲート電位を非選択列のメモリセルに較べて高くする、請求項5記載の半導体記憶装置。

【請求項7】 前記第1導電型の絶縁ゲート型電界効果トランジスタは、Nチャネルの絶縁ゲート型電界効果トランジスタであり、

前記基板電位変更回路は、前記動作モード指示信号がデータ書込を示すときNチャネル絶縁ゲート型電界効果トランジスタのバックゲート電位をデータ読出時に較べて低くする、請求項1記載の半導体記憶装置。

【請求項8】 前記基板電位変更回路は、前記データ書込時に、前記N型絶縁ゲート型電界効果トランジスタのバックゲート電位を、接地電圧レベルに設定する、請求項7記載の半導体記憶装置。

【請求項9】 各前記メモリセルは、接地電圧をローレベルデータ記憶のための電源電圧として受け、

前記基板電位変更回路は、前記N型絶縁ゲート型電界効果トランジスタのバックゲート電位を前記データ書込時に前記接地電圧よりも高い電圧レベルに設定しつつ前記データ読出時前記接地電圧レベルに設定する、請求項7記載の半導体記憶装置。

【請求項10】 前記基板電位変更回路は、

メモリセル列それぞれに対応して配置され、各々が対応の列のメモリセルの第1導電型の絶縁ゲート型電界効果トランジスタのバックゲートに共通に結合される複数の第1の基板電圧伝達線と、

5 各列に対応して配置され、各々が対応の列のメモリセルの第2導電型の絶縁ゲート型電界効果トランジスタのバックゲートに共通に結合される複数の第2の基板電圧伝達線と、

各列に対応して配置され、各々が、前記動作モード指示信号および列選択信号に応答して、対応の第1および第2の基板電圧伝達線の電圧を設定する基板電位選択回路を備える、請求項1記載の半導体記憶装置。

10 【請求項11】 前記基板電位変更回路は、前記動作モード指示信号がデータ読出を示すとき、選択列の第1導電型の絶縁ゲート型電界効果トランジスタのバックゲート電位を高くし、かつ第2導電型の絶縁ゲート型電界効果トランジスタのバックゲート電位を低くする、請求項10記載の半導体記憶装置。

15 【請求項12】 前記基板電位変更回路は、各メモリセル列に対応して配置され、対応の列のメモリセルの第1導電型の絶縁ゲート型電界効果トランジスタのバックゲートにバイアス電圧をそれぞれ伝達する複数の基板電圧伝達線と、

20 各メモリセル列に対応して配置され、前記動作モード指示信号と前記列選択信号とに従って対応の列の基板電圧伝達線の電位を設定する基板電位設定回路と、

前記動作モード指示信号に応答して、前記基板電圧伝達線それぞれの電位を所定電位方向に所定期間駆動する基板電位補助回路とを備える、請求項1記載の半導体記憶装置。

【請求項13】 前記メモリセルの第1導電型の絶縁ゲート型電界効果トランジスタは第1の基板領域に形成され、かつ前記メモリセルの第2導電型の

絶縁ゲート型電界効果トランジスタは、第2の基板領域に形成され、

前記第1および第2の基板領域は、それぞれ、列方向に沿って連続的に各列に対応して形成されて対応の列に配置されたメモリセルの第1および第2導電型の絶縁ゲート型電界効果トランジスタそれぞれのバックゲートを共通に形成し、

前記基板電位変更回路は、前記第1および第2の基板領域の少なくとも一方の電位を変更する、請求項1記載の半導体記憶装置。

【請求項14】 列方向に連続的に延在し列方向に整列して配置されるメモリセルの第1導電型の絶縁ゲート型電界効果トランジスタに共通に結合される電源供給線をさらに備える、請求項13記載の半導体記憶装置。

【請求項15】 前記第1および第2の基板領域は絶縁膜上に形成され、前記第1および第2の基板領域は、トレンチ領域により分離される、請求項13記載の半導体記憶装置。

【請求項16】 前記第1および第2の基板領域は、列単位で分離される、請求項15記載の半導体記憶装置。

【請求項17】 前記基板電位変更回路は、前記動作モード指示信号に応答して、待機時と前記データ読出時と前記データ書込時とで前記複数のメモリセルに対するバックゲートの電位の印可態様を変更する、請求項1記載の半導体記憶装置。